

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroki SHINKAWATA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-044155	February 21, 2003
Japan	2003-345633	October 3, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

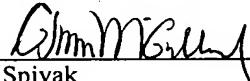
were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 2月 21日

出願番号

Application Number: 特願 2003-044155

[ST.10/C]:

[JP 2003-044155]

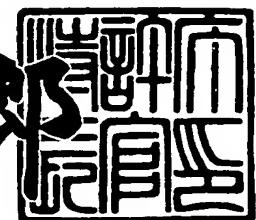
出願人

Applicant(s): 三菱電機株式会社

2003年 3月 14日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特 2003-3016325

【書類名】 特許願
【整理番号】 542671JP01
【提出日】 平成15年 2月21日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/28
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 新川田 裕樹
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100089233
【弁理士】
【氏名又は名称】 吉田 茂明
【選任した代理人】
【識別番号】 100088672
【弁理士】
【氏名又は名称】 吉竹 英俊
【選任した代理人】
【識別番号】 100088845
【弁理士】
【氏名又は名称】 有田 貴弘
【手数料の表示】
【予納台帳番号】 012852
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、

前記メモリ形成領域における前記半導体基板の上面内に形成された第1の不純物領域と、

前記ロジック形成領域における前記半導体基板の上面内に形成された第2の不純物領域と、

前記第1の不純物領域の上面内に形成され、かつ前記第1の不純物領域の導電型とは異なる第3の不純物領域と、

前記第2の不純物領域の上面内に形成され、かつ前記第2の不純物領域の導電型とは異なる第4の不純物領域と、

前記第3の不純物領域の上面内に形成された第1のシリサイド膜と、

前記第1のシリサイド膜に電気的に接続され、前記第1のシリサイド膜の上方に形成されたキャパシタと、

前記第4の不純物領域の上面内に形成され、かつ前記第1のシリサイド膜よりも厚い第2のシリサイド膜と

を備える、半導体装置。

【請求項2】 前記第4の不純物領域は、MOSトランジスタのソース・ドレイン領域である、請求項1に記載の半導体装置。

【請求項3】 それぞれが前記メモリ形成領域における前記半導体基板の上面に形成され、互いに所定の距離を成す第1、2のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面に形成され、互いに所定の距離を成す第3、4のゲート構造と
を更に備え、

前記第1、2のシリサイド膜は、前記第1、2のゲート構造の間及び前記第3、4のゲート構造の間にそれぞれ設けられており、

前記第1、2のゲート構造間の距離と、前記第1、2のゲート構造の高さとで

で規定される第1のゲートアスペクト比は、前記第3、4のゲート構造間の距離と、前記第3、4のゲート構造の高さとで規定される第2のゲートアスペクト比よりも大きい、請求項1及び請求項2のいずれか一つに記載の半導体装置。

【請求項4】 前記第1のゲートアスペクト比は0.8よりも大きい、請求項3に記載の半導体装置。

【請求項5】 前記ロジック形成領域における前記半導体基板の上面内に形成された第5の不純物領域と、

前記第5の不純物領域の上面内に形成され、かつ前記第5の不純物領域とは異なる導電型の第6の不純物領域と、

前記第6の不純物領域の上面内に形成され、かつ前記第1、2のシリサイド膜のそれよりも厚い第3のシリサイド膜と
を更に備える、請求項1に記載の半導体装置。

【請求項6】 各前記第4、6の不純物領域は、MOSトランジスタのソース・ドレイン領域である、請求項5に記載の半導体装置。

【請求項7】 それが前記メモリ形成領域における前記半導体基板の上面に形成され、互いに所定の距離を成す第1、2のゲート構造と、

それが前記ロジック形成領域における前記半導体基板の上面に形成され、互いに所定の距離を成す第3、4のゲート構造と、

それが前記ロジック形成領域における前記半導体基板の上面に形成され、互いに所定の距離を成す第5、6のゲート構造と
を更に備え、

前記第1乃至3のシリサイド膜は、前記第1、2のゲート構造の間、前記第3、4のゲート構造の間及び前記第5、6のゲート構造の間にそれぞれ設けられており、

前記第1、2のゲート構造間の距離と、前記第1、2のゲート構造の高さとで規定される第1のゲートアスペクト比は、前記第3、4のゲート構造間の距離と、前記第3、4のゲート構造の高さとで規定される第2のゲートアスペクト比よりも大きく、

前記第2のゲートアスペクト比は、前記第5、6のゲート構造間の距離と、前

記第5, 6のゲート構造の高さとで規定される第3のゲートアスペクト比よりも大きい、請求項5及び請求項6のいずれか一つに記載の半導体装置。

【請求項8】 各前記第1, 2のゲートアスペクト比は0.8よりも大きい、請求項7に記載の半導体装置。

【請求項9】 (a) メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、

(b) 前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第1, 2の不純物領域をそれぞれ形成する工程と、

(c) 前記メモリ形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第1, 2のゲート構造を形成するとともに、前記第1, 2のゲート構造で挟まれた前記第1の不純物領域の上面内に、前記第1の不純物領域の導電型とは異なる第3の不純物領域を形成する工程と、

(d) 前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第3, 4のゲート構造を形成するとともに、前記第3, 4のゲート構造で挟まれた前記第2の不純物領域の上面内に、前記第2の不純物領域の導電型とは異なる第4の不純物領域を形成する工程と、

(e) 前記工程(c), (d)を実行することによって得られた構造の上方から、前記第1, 2のゲート構造の間の前記第3の不純物領域上と、前記第3, 4のゲート構造の間の前記第4の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、

(f) 前記金属材料と前記半導体基板とを互いに反応させて、各前記第3, 4の不純物領域の上面内にシリサイド膜を形成する工程と、

(g) 前記第3の不純物領域の上面内に形成された前記シリサイド膜に電気的に接続されるキャパシタを、前記第3の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程と
を備え、

前記第1, 2のゲート構造間の距離と、前記第1, 2のゲート構造の高さとで規定される第1のゲートアスペクト比は、前記第3, 4のゲート構造間の距離

と、前記第3、4のゲート構造の高さとで規定される第2のゲートアスペクト比よりも大きい、半導体装置の製造方法。

【請求項10】 前記第4の不純物領域は、MOSトランジスタのソース・ドレイン領域である、請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第1のゲートアスペクト比は0.8よりも大きい、請求項9及び請求項10のいずれか一つに記載の半導体装置の製造方法。

【請求項12】 前記工程(b)において、前記ロジック形成領域における前記半導体基板の上面内に第5の不純物領域を更に形成し、

(h) 前記工程(e)の前に、前記ロジック形成領域における前記半導体基板の上面に、互いに所定の距離を成す第5、6のゲート構造を更に形成するとともに、前記第5、6のゲート構造の間で挟まれた前記第5の不純物領域の上面内に、前記第5の不純物領域の導電型とは異なる第6の不純物領域を形成する工程を更に備え、

前記工程(e)において、前記工程(c)、(d)、(h)を実行することによって得られた構造の上方から、前記第5、6のゲート構造の間の前記第6の不純物領域上にも無指向性スパッタ法を用いて前記金属材料を堆積し、

前記工程(f)において、前記金属材料と前記半導体基板とを互いに反応させて、前記第6の不純物領域の上面内にも前記シリサイド膜を形成し、

前記第2のゲートアスペクト比は、前記第5、6のゲート構造間の距離と、前記第5、6のゲート構造の高さとで規定される第3のゲートアスペクト比よりも大きい、請求項9に記載の半導体装置の製造方法。

【請求項13】 各前記第4、6の不純物領域は、MOSトランジスタのソース・ドレイン領域である、請求項12に記載の半導体装置の製造方法。

【請求項14】 各前記第1、2のゲートアスペクト比は0.8よりも大きい、請求項12及び請求項13のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体基板上にメモリデバイスとロジックデバイスとが形成され

た、メモリ・ロジック混載型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、システムLSIにおいては、大容量かつ高速なメモリデバイスと、ロジックデバイスとが同一の半導体基板上に形成された、メモリ・ロジック混載型の半導体装置が注目されている。その中でも大容量化に向けたDRAMを混載した半導体装置においては、メモリデバイスの高速化に対応すべくメモリセル内にもシリサイド膜を形成したものが開発されている。

【0003】

このような、メモリセル内にシリサイド膜が形成されたメモリ・ロジック混載型の半導体装置の一例が、特許文献1に開示されている。特許文献1に記載の技術によれば、DRAMが形成されているDRAM部と、ロジックデバイスが形成されているロジック部の両方において、トランジスタのソース・ドレイン領域及びゲート電極にシリサイド膜を形成している。なお、シリサイド膜の形成方法に関する技術が特許文献2～4に開示されている。

【0004】

【特許文献1】

特開2001-127270号公報

【特許文献2】

特開2000-269482号公報

【特許文献3】

特開平8-31769号公報

【特許文献4】

国際公開WO98/42009号パンフレット

【0005】

【発明が解決しようとする課題】

特許文献1に記載のメモリ・ロジック混載型の半導体装置では、特許文献1の図6に示されるように、DRAM部のソース・ドレイン領域の上面内に形成されたシリサイド膜と、ロジック部のソース・ドレイン領域の上面内に形成されたシ

リサイド膜とが互いに同じ厚さである。従って、ロジックデバイスの高速化のためにロジック部のシリサイド膜を厚く形成すると、DRAM部のシリサイド膜も厚くなり、ソース・ドレイン領域に電気的に接続されたキャパシタのリーク電流が大きくなる。その結果、DRAMのデータ保持特性が劣化する。一方、キャパシタのリーク電流を低減するためにDRAM部のシリサイド膜を薄くすると、ロジック部のシリサイド膜も薄くなり、ロジックデバイスの動作速度が低下する。

【0006】

そこで、本発明は上述の問題に鑑みて成されたものであり、ロジックデバイスが形成される領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができる半導体技術を提供することを目的とする。

【0007】

【課題を解決するための手段】

この発明に係る半導体装置は、メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、前記メモリ形成領域における前記半導体基板の上面内に形成された第1の不純物領域と、前記ロジック形成領域における前記半導体基板の上面内に形成された第2の不純物領域と、前記第1の不純物領域の上面内に形成され、かつ前記第1の不純物領域の導電型とは異なる第3の不純物領域と、前記第2の不純物領域の上面内に形成され、かつ前記第2の不純物領域の導電型とは異なる第4の不純物領域と、前記第3の不純物領域の上面内に形成された第1のシリサイド膜と、前記第1のシリサイド膜に電気的に接続され、前記第1のシリサイド膜の上方に形成されたキャパシタと、前記第4の不純物領域の上面内に形成され、かつ前記第1のシリサイド膜よりも厚い第2のシリサイド膜とを備える。

【0008】

また、この発明に係る半導体装置の製造方法は、(a)メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、(b)前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第1、2の不純物領域をそれぞれ形成する工程と、(c)前記メモリ形成領域における前記半導体基板の上面上

に、互いに所定の距離を成す第1，2のゲート構造を形成するとともに、前記第1，2のゲート構造で挟まれた前記第1の不純物領域の上面内に、前記第1の不純物領域の導電型とは異なる第3の不純物領域を形成する工程と、(d)前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第3，4のゲート構造を形成するとともに、前記第3，4のゲート構造で挟まれた前記第2の不純物領域の上面内に、前記第2の不純物領域の導電型とは異なる第4の不純物領域を形成する工程と、(e)前記工程(c)，(d)を実行することによって得られた構造の上方から、前記第1，2のゲート構造の間の前記第3の不純物領域上と、前記第3，4のゲート構造の間の前記第4の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、(f)前記金属材料と前記半導体基板とを互いに反応させて、各前記第3，4の不純物領域の上面内にシリサイド膜を形成する工程と、(g)前記第3の不純物領域の上面内に形成された前記シリサイド膜と電気的に接続されるキャパシタを、前記第3の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程とを備え、前記第1，2のゲート構造間の距離と、前記第1，2のゲート構造の高さとで規定される第1のゲートアスペクト比は、前記第3，4のゲート構造間の距離と、前記第3，4のゲート構造の高さとで規定される第2のゲートアスペクト比よりも大きい。

【0009】

【発明の実施の形態】

実施の形態1.

図1は本発明の実施の形態1に係る半導体装置の構造を示す断面図である。本実施の形態1に係る半導体装置は、メモリ・ロジック混載型の半導体装置であって、メモリデバイスとしては、例えばCUB (Capacitor Under Bit line) 構造のメモリセルを有するDRAMが採用され、ロジックデバイスとしては、例えばDual GateサリサイドCMOSトランジスタが採用される。

【0010】

図1に示されるように、本実施の形態1に係る半導体装置は、例えばn型のシ

リコン基板である半導体基板1を備えている。半導体基板1の上面内には素子分離絶縁膜2が形成されており、それによって、半導体基板1は複数の領域に区分されている。

【0011】

メモリデバイスが形成される領域（以後、「メモリ形成領域」と呼ぶ）では、半導体基板1の上面内にp型のウェル領域3が形成されており、ロジックデバイスが形成される領域（以後、「ロジック形成領域」と呼ぶ）では、半導体基板1の上面内にp型のウェル領域53が形成されている。

【0012】

ウェル領域3の上面内には、互いに所定距離を成す複数のソース・ドレイン領域4が形成されており、それらの上面内にはコバルトシリサイド膜9が形成されている。また、ウェル領域53の上面内には、互いに所定距離を成す複数のソース・ドレイン領域54が形成されており、それらの上面内にはコバルトシリサイド膜59が形成されている。なお、ソース・ドレイン領域4、54はともにn型の不純物領域である。

【0013】

メモリ形成領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造5が形成されている。各ゲート構造5は、ゲート絶縁膜6と、DRAMメモリセルのワード線として機能するゲート電極7と、サイドウォール8とを備えており、ゲート電極7の上面にはコバルトシリサイド膜19が形成されている。ゲート絶縁膜6、ゲート電極7及びコバルトシリサイド膜19は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール8は、この積層構造の側面に形成されている。そして、各ゲート構造5は、互いに隣り合うソース・ドレイン領域4の間の半導体基板1の上面に設けられおり、コバルトシリサイド膜9は互いに隣り合うゲート構造5の間に設けられている。

【0014】

ロジック形成領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造55が形成されている。各ゲート構造55は、ゲート絶縁膜56と、

ゲート電極57と、サイドウォール58とを備えており、ゲート電極57の上面にはコバルトシリサイド膜69が形成されている。ゲート絶縁膜56、ゲート電極57及びコバルトシリサイド膜69は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール58は、この積層構造の側面に形成されている。そして、各ゲート構造55は、互いに隣り合うソース・ドレイン領域54の間の半導体基板1の上面に設けられおり、コバルトシリサイド膜59は互いに隣り合うゲート構造55の間に設けられている。

【0015】

ゲート構造5と、互いに隣り合う一対のソース・ドレイン領域4と、ウェル領域3とで、DRAMメモリセルのMOSトランジスタを構成し、ゲート構造55と、互いに隣り合う一対のソース・ドレイン領域54と、ウェル領域53とで、ロジックデバイスとして機能するMOSトランジスタを構成している。なお、各ゲート絶縁膜6、56には例えばシリコン酸化膜が採用され、各ゲート電極7、57には例えば多結晶シリコン膜が採用される。

【0016】

メモリ形成領域のコバルトシリサイド膜9は、ロジック形成領域のコバルトシリサイド膜59よりも薄く形成されている。そのため、コバルトシリサイド膜9の膜厚 t_m は、コバルトシリサイド膜59の膜厚 t_{r1} よりも小さい。

【0017】

また、ゲート構造5、55の高さ h は互いに同じであって、互いに隣り合うゲート構造5の距離 d_m は、互いに隣り合うゲート構造55間の距離 d_{r1} よりも小さく設定されている。従って、メモリ形成領域におけるゲートアスペクト比は、ロジック形成領域におけるゲートアスペクト比よりも大きい。

【0018】

ここで、ゲートアスペクト比とは、ゲート構造の高さと、互いに隣り合うゲート構造間の距離との比である。具体的には、メモリ形成領域におけるゲートアスペクト比は、ゲート構造5の高さ h を、互いに隣り合うゲート構造5間の距離 d_m で除算した値である。また、ロジック形成領域におけるゲートアスペクト比は、ゲート構造55の高さ h を、互いに隣り合うゲート構造55間の距離 d_{r1} で

除算した値である。以後、ゲート構造5の高さ h をゲート構造5間の距離 d_m で除算した値を「第1のゲートアスペクト比」と呼び、ゲート構造55の高さ h をゲート構造55間の距離 d_{r1} で除算した値を「第2のゲートアスペクト比」と呼ぶ。

【0019】

本実施の形態1では、第1のゲートアスペクト比は0.8よりも大きく設定されており、第2のゲートアスペクト比は0.8以下に設定されている。

【0020】

メモリ形成領域及びロジック形成領域における半導体基板1上には、ゲート構造5, 55及びコバルトシリサイド膜19, 69を覆って、層間絶縁膜20が形成されている。層間絶縁膜20内には複数のコンタクトプラグ10が形成されており、それらは、コバルトシリサイド膜9に接続されている。これにより、ソース・ドレイン領域4とコンタクトプラグ10とが電気的に接続される。なお、コンタクトプラグ10の上面は層間絶縁膜20から露出している。

【0021】

層間絶縁膜20及びコンタクトプラグ10の上には、層間絶縁膜21, 22から成る絶縁層23が形成されている。絶縁層23内には、DRAMメモリセルのキャパシタ11が複数形成されており、各キャパシタ11は、下部電極12と誘電体膜13と上部電極14とを備えている。そして、上部電極14は誘電体膜13を介して下部電極12に対向して設けられている。

【0022】

キャパシタ11の下部電極12は、複数のコンタクトプラグ10の一部、具体的には、互いに隣り合うソース・ドレイン領域4の一方に電気的に接続されたコンタクトプラグ10に接続されている。これにより、互いに隣り合うソース・ドレイン領域4の一方に形成されたコバルトシリサイド膜9とキャパシタ11とが互いに電気的に接続される。

【0023】

また、絶縁層23内には複数のコンタクトプラグ15が形成されている。コンタクトプラグ15は、キャパシタ11と電気的に接続されていないコンタクトプ

ラグ10と接続されている。そして、層間絶縁膜20及び絶縁層23には、複数のコンタクトプラグ60が形成されている。コンタクトプラグ60は、ソース・ドレイン領域54に形成されたコバルトシリサイド膜59に接続されている。なお、各コンタクトプラグ15, 60の上面は、絶縁層23から露出している。

【0024】

絶縁層23上には、コンタクトプラグ15と接触してメタル配線16が、コンタクトプラグ60と接触してメタル配線66が形成されている。なお、メタル配線16は、DRAMメモリセルのピット線であって、キャパシタ11の上方に位置している。

【0025】

上述のように、本実施の形態1に係る半導体装置では、ソース・ドレイン領域4の上面内に形成されたコバルトシリサイド膜9が、ソース・ドレイン領域54の上面内に形成されたコバルトシリサイド膜59よりも薄いため、コバルトシリサイド膜9とウェル領域3との間の距離が、コバルトシリサイド膜59とウェル領域53との間の距離よりも長くなる。そのため、ソース・ドレイン領域4とウェル領域3との間のリーク電流を、ソース・ドレイン領域54とウェル領域53との間のリーク電流よりも低減することができる。

【0026】

一方、コバルトシリサイド膜59は、コバルトシリサイド膜9よりも厚いため、ソース・ドレイン領域54をソース・ドレイン領域4よりも低抵抗化できる。従って、ロジック形成領域のソース・ドレイン領域54の低抵抗化と、コバルトシリサイド膜9に電気的に接続されたキャパシタ11の低リーク電流化とを両立させることができる。

【0027】

また、ソース・ドレイン領域54にコバルトシリサイド膜59が形成されているため、ロジック形成領域に設けられたMOSトランジスタを高速動作させることができる。

【0028】

次に、図1に示す半導体装置の製造方法について説明する。図2～7は図1に

示す半導体装置の製造方法を工程順に示す断面図である。まず、図2に示されるように、周知のLOCOS分離技術やトレンチ分離技術によって、半導体基板1の上面内に素子分離絶縁膜2を形成する。そして、メモリ形成領域及びロジック形成領域における半導体基板1の上面内に、ウェル領域3, 53をそれぞれ形成する。

【0029】

次に、例えば半導体基板1を熱酸化して半導体基板1の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図3に示されるように、メモリ形成領域にゲート絶縁膜6及びゲート電極7が形成され、ロジック形成領域にゲート絶縁膜56及びゲート電極57が形成される。

【0030】

そして、素子分離絶縁膜2、ゲート絶縁膜6, 56及びゲート電極7, 57をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板1の上面内にイオン注入する。これにより、図3に示されるように、メモリ形成領域における半導体基板1の上面内にn⁻型の不純物領域4aが形成されるとともに、ロジック形成領域における半導体基板1の上面内にn⁻型の不純物領域54aが形成される。

【0031】

次に、例えばCVD法によってシリコン窒化膜を全面に形成した後に、半導体基板1の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン窒化膜をエッチングする。これにより、図4に示されるように、ともにシリコン窒化膜からなるサイドウォール8, 58が形成され、ゲート構造5, 55が半導体基板1上に完成する。

【0032】

そして、ゲート構造5, 55及び素子分離絶縁膜2をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板1の上面内にイオン注入する。これにより、図4に示されるように、メモリ形成領域における半導体基板1の上面

内に n^+ 型の不純物領域 4 b が形成されるとともに、ロジック形成領域における半導体基板 1 の上面内に n^+ 型の不純物領域 5 4 b が形成される。

【0033】

以上の図 3, 4 を参照して説明した工程により、メモリ形成領域における半導体基板 1 上に複数のゲート構造 5 が形成されるとともに、互いに隣り合うゲート構造 5 の間のウェル領域 3 の上面内に、不純物領域 4 a, 4 b から成るソース・ドレイン領域 4 が形成されて、DRAM メモリセルの MOS トランジスタが完成する。また、ロジック形成領域における半導体基板 1 上に複数のゲート構造 5 が形成されるとともに、互いに隣り合うゲート構造 5 の間のウェル領域 5 3 の上面内に、不純物領域 5 4 a, 5 4 b から成るソース・ドレイン領域 5 4 が形成されて、ロジックデバイスとして機能する MOS トランジスタが完成する。

【0034】

次に図 5 に示されるように、図 4 に示す構造の上方から、無指向性スパッタ法を用いて、コバルトから成る金属材料 2 5 を全面に堆積する。ここで、無指向性スパッタ法とは、コリーメーションスパッタ法に代表される直線性の良いスパッタ法とは異なり、スパッタリングによりターゲットから弾き飛ばされた金属材料の飛翔方向を、半導体基板の深さ方向に揃えるための特別な手段は用いられていないスパッタ法である。そのため、この無指向性スパッタ法では、ターゲットから弾き飛ばされた金属材料は、四方八方のベクトルを持って半導体基板上に堆積される。

【0035】

このような無指向性スパッタ法を用いて、複数のゲート構造が所定間隔で形成された半導体基板上に、上方から金属材料を堆積すると、互いに隣り合うゲート構造の間のソース・ドレイン領域上に堆積される金属材料の膜厚は、ゲートアスペクト比に依存する。上述のように、無指向性スパッタ法では、金属材料の飛翔方向は四方八方のベクトルを有するため、ゲートアスペクト比が大きくなると、ゲート構造の側面に堆積する金属材料の膜厚が大きくなり、その反面ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。

【0036】

本実施の形態1では、メモリ形成領域のゲート構造5の高さとゲート構造5間の距離とで規定される第1のゲートアスペクト比は、ロジック形成領域のゲート構造5の高さとゲート構造5間の距離とで規定される第2のゲートアスペクト比よりも大きく設定されている。従って、無指向性スパッタ法を用いて金属材料25を全面に堆積すると、図5に示されるように、ソース・ドレイン領域4上の金属材料25の厚み t_{mm} が、ソース・ドレイン領域54上の金属材料25の厚み t_{mr1} よりも小さくなる。

【0037】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料25と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料25と、それに接触している半導体基板1及びゲート電極7, 57とを互いに反応させる。そして、未反応の金属材料25を除去する。

【0038】

これにより、図6に示されるように、半導体基板1の上面が部分的にシリサイド化されて、ソース・ドレイン領域4, 54の上面内にコバルトシリサイド膜9, 59がそれぞれ形成される。同時に、ゲート電極7, 57の上面がシリサイド化されて、ゲート電極7, 57にコバルトシリサイド膜19, 69がそれぞれ形成される。

【0039】

このとき、ソース・ドレイン領域4に堆積していた金属材料25の膜厚 t_{mm} はソース・ドレイン領域54に堆積していた金属材料25の膜厚 t_{mr1} よりも小さいため、ソース・ドレイン領域4に形成されるコバルトシリサイド膜9の膜厚 t_m は、ソース・ドレイン領域54に形成されるコバルトシリサイド膜59の膜厚 t_{r1} よりも小さくなる。

【0040】

次に図7に示されるように、ゲート構造5, 55及びコバルトシリサイド膜19, 69を覆って層間絶縁膜20を半導体基板1上に形成する。そして、コンタクトプラグ10を層間絶縁膜20内に形成する。具体的には、まず、所定の開口パターンを有するレジスト（図示せず）を層間絶縁膜20上に形成する。次に、

かかるレジストを用いて層間絶縁膜20をエッチングして、コバルトシリサイド膜9に達するコンタクトホール（図示せず）を層間絶縁膜20に形成する。そして、このコンタクトホールを充填するコンタクトプラグを形成することにより、層間絶縁膜20に複数のコンタクトプラグ10が形成される。

【0041】

次に、層間絶縁膜20及びコンタクトプラグ10の上に、層間絶縁膜21を形成する。そして、隣り合うソース・ドレイン領域4の一方に電気的に接続されたコンタクトプラグ10を露出させる開口部（図示せず）を層間絶縁膜21内に形成する。

【0042】

次に図7に示されるように、露出しているコンタクトプラグ10に接触する、DRAMメモリセルのキャパシタ11を開口部内に形成する。具体的には、まず例えばルテニウム等の高融点金属を含む金属膜を全面に形成する。そして、開口部をレジストで覆って、層間絶縁膜21の上面上の金属膜を異方性ドライエッチングで除去する。これにより、ルテニウム等の高融点金属を含むキャパシタ11の下部電極12が、開口部内に形成される。次に、例えば五酸化タンタルから成る絶縁膜と、ルテニウム等の高融点金属を含む金属膜とをこの順で全面に積層した後、レジストを用いてこれらをパターニングする。これにより、五酸化タンタルから成るキャパシタ11の誘電体膜13と、ルテニウム等の高融点金属を含むキャパシタ11の上部電極14とが形成され、開口部内にキャパシタ11が完成する。

【0043】

次に層間絶縁膜22を全面に形成し、CMP法によって平坦化する。これにより、キャパシタ11を覆う層間絶縁膜22が層間絶縁膜21上に形成され、絶縁層23が完成する。

【0044】

次に、キャパシタ11と電気的に接続されていないコンタクトプラグ10を露出させるコンタクトホール（図示せず）を絶縁層23に形成するとともに、ロジック形成領域のコバルトシリサイド膜59を露出させるコンタクトホール（図示

せず) を絶縁層23及び層間絶縁膜20に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、絶縁層23にはコンタクトプラグ15が、絶縁層23及び層間絶縁膜20にはコンタクトプラグ60がそれぞれ形成される。

【0045】

次に、コンタクトプラグ15と接触するメタル配線16と、コンタクトプラグ60と接触するメタル配線66とを絶縁層23上に形成する。

【0046】

以上の工程により、図1に示す本実施の形態1に係る半導体装置が完成する。

【0047】

このように、本実施の形態1では、メモリ形成領域における第1のゲートアスペクト比が、ロジック形成領域における第2のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、ソース・ドレイン領域4上の金属材料25が、ソース・ドレイン領域54上の金属材料25よりも薄くなる。従って、ソース・ドレイン領域4の上面内に形成されるコバルトシリサイド膜9が、ソース・ドレイン領域54の上面内に形成されるコバルトシリサイド膜59よりも薄くなる。

【0048】

言い換えれば、第1のゲートアスペクト比が、第2のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜9をコバルトシリサイド膜59よりも簡単に薄くすることができる。

【0049】

従って、ソース・ドレイン領域4とウェル領域3との間のリーク電流を、ソース・ドレイン領域54とウェル領域53との間のリーク電流よりも低減することができる。

【0050】

一方、コバルトシリサイド膜59は、コバルトシリサイド膜9よりも厚くなるため、ソース・ドレイン領域54をソース・ドレイン領域4よりも低抵抗化でき

る。従って、ロジック形成領域のソース・ドレイン領域54の低抵抗化と、コバルトシリサイド膜9に電気的に接続されたキャパシタ11の低リーク電流化とを両立させることができる。

【0051】

また、本実施の形態1では、第1のゲートアスペクト比が0.8よりも大きく設定されているため、メモリ形成領域のコバルトシリサイド膜9を簡単に薄くできる。以下に、このことについて説明する。

【0052】

図8は、ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。図8では、シリサイド膜の形成に、無指向性スパッタ法を用いた場合の特性を実線で示し、直線性の良いスパッタ法を用いた場合の特性を一点鎖線で示している。図8に示されるように、ゲートアスペクト比が0.8よりも大きくなると、シリサイド膜の膜厚は急激に小さくなり、その変化率が大きくなる。従って、本実施の形態1のように、第1のゲートアスペクト比を0.8よりも大きくすることによって、コバルトシリサイド膜9を簡単に薄くすることができる。

【0053】

実施の形態2.

図9は本発明の実施の形態2に係る半導体装置の構造を示す断面図である。本実施の形態2に係る半導体装置は、上述の実施の形態1に係る半導体装置において、基本的には、ロジック形成領域に、第2のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を更に備えるものである。本実施の形態2では、実施の形態1で説明した第2のゲートアスペクト比を有する領域を「第1領域」と呼び、本実施の形態2で新たに追加した、第2のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を「第2領域」と呼ぶ。

【0054】

図9に示されるように、本実施の形態2に係る半導体装置では、ロジック形成領域の第2領域における半導体基板1の上面内には、p型のウェル領域83が形成されている。そして、ウェル領域83の上面内には、互いに所定距離を成す複数のソース・ドレイン領域84が形成されており、それらの上面内にはコバルト

シリサイド膜89が形成されている。なお、ソース・ドレイン領域84はn型の不純物領域である。

【0055】

第2領域における半導体基板1上には、互いに所定距離を成す複数のゲート構造85が形成されている。各ゲート構造85は、ゲート絶縁膜86と、ゲート電極87と、サイドウォール88とを備えており、ゲート電極87の上面にはコバルトシリサイド膜99が形成されている。ゲート絶縁膜86、ゲート電極87及びコバルトシリサイド膜99は、半導体基板1からこの順で積層されており、これらで積層構造を成している。サイドウォール88は、この積層構造の側面に形成されている。そして、各ゲート構造85は、互いに隣り合うソース・ドレイン領域84の間の半導体基板1の上面に設けられおり、コバルトシリサイド膜89は互いに隣り合うゲート構造85の間に設けられている。

【0056】

ゲート構造85と、互いに隣り合う一対のソース・ドレイン領域84と、ウェル領域83とで、ロジックデバイスとして機能するMOSトランジスタが構成される。なお、ゲート絶縁膜86には例えばシリコン酸化膜が採用され、ゲート電極87には例えば多結晶シリコン膜が採用される。

【0057】

第2領域のコバルトシリサイド膜89は、メモリ形成領域のコバルトシリサイド膜9及び第1領域のコバルトシリサイド膜59よりも厚く形成されている。そのため、コバルトシリサイド膜9の膜厚tm、コバルトシリサイド膜59の膜厚tr1及びコバルトシリサイド膜89の膜厚tr2がこの順で大きくなっている。

【0058】

また、ゲート構造85の高さhはゲート構造5、55と同じであって、互いに隣り合うゲート構造85間の距離dr2は、ゲート構造5間の距離dm及びゲート構造55間距離dr1よりも大きく設定されている。従って、ゲート構造85の高さhをゲート構造85間の距離dr2で除算した値で示される、第2領域におけるゲートアスペクト比は、メモリ形成領域における第1のゲートアスペクト

比及び第1領域における第2のゲートアスペクト比よりも大きくなっている。以後、第2領域のゲートアスペクト比を「第3のゲートアスペクト比」と呼ぶ。

【0059】

上述の実施の形態1では、第2のゲートアスペクト比を0.8以下に設定していたが、本実施の形態2では、第1、2のゲートアスペクト比を0.8よりも大きく設定し、第3のゲートアスペクト比を0.8以下に設定する。

【0060】

層間絶縁膜20は、第2領域における半導体基板1上にも、ゲート構造85及びコバルトシリイド膜99を覆って形成されている。そして、第2領域における層間絶縁膜20上にも絶縁層23が形成されている。

【0061】

第2領域における絶縁層23及び層間絶縁膜20内には、複数のコンタクトプラグ90が形成されている。コンタクトプラグ90は、ソース・ドレイン領域84に形成されたコバルトシリサイド膜89に接続されており、その上面は絶縁層23から露出している。そして、第2領域における絶縁層23上には、コンタクトプラグ90と接触してメタル配線96が形成されている。

【0062】

このように、本実施の形態2に係る半導体装置では、コバルトシリサイド膜89がコバルトシリサイド膜59よりも厚いため、ソース・ドレイン領域84をソース・ドレイン領域54よりも低抵抗化できる。従って、動作速度が重要視される回路、例えば「クリティカル・パス」と呼ばれるロジックデバイスの速度性能を決定する回路を、ソース・ドレイン領域54を利用して形成することによって、かかる回路の動作速度を確実に向上することができ、その結果、ロジックデバイス全体の動作速度を向上することができる。

【0063】

一方、コバルトシリサイド膜59はコバルトシリサイド膜89よりも薄いため、ソース・ドレイン領域54とウェル領域53との間のリーク電流を、ソース・ドレイン領域84とウェル領域83との間のリーク電流よりも低減することができる。従って、ロジックデバイスのうち、クリティカル・パス以外の、動作速度

があまり重要視されない回路を第1領域に形成することによって、ロジックデバイス全体のリーク電流の増加を抑えつつ、動作速度が重要視される回路を確実に高速化できる。

【0064】

また、ソース・ドレイン領域54にコバルトシリサイド膜59が、ソース・ドレイン領域84にコバルトシリサイド膜59がそれぞれ形成されているため、ロジック形成領域に設けられたMOSトランジスタを高速動作させることができる。

【0065】

次に、図9に示す半導体装置の製造方法について説明する。図10～15は図9に示す半導体装置の製造方法を工程順に示す断面図である。まず、図10に示されるように、半導体基板1の上面内に素子分離絶縁膜2を形成した後に、ウェル領域3, 53とともに、ロジック形成領域の第2領域における半導体基板1の上面内にウェル領域83を形成する。

【0066】

次に、例えば半導体基板1を熱酸化して半導体基板1の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図11に示されるように、ゲート絶縁膜6, 56及びゲート電極7, 57が形成されるとともに、第2領域にゲート絶縁膜86及びゲート電極87が形成される。

【0067】

そして、素子分離絶縁膜2、ゲート絶縁膜6, 56, 86及びゲート電極7, 57, 87をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板1の上面内にイオン注入する。これにより、図11に示されるように、不純物領域4a, 54aが形成されるとともに、第2領域における半導体基板1の上面内にn⁻型の不純物領域84aが形成される。

【0068】

次に、例えばCVD法によってシリコン窒化膜を全面に形成した後に、半導体

基板1の深さ方向にエッティングレートが高い異方性ドライエッティング法によって、かかるシリコン窒化膜をエッティングする。これにより、図12に示されるように、サイドウォール8, 58が形成されるとともに、シリコン窒化膜から成るサイドウォール88が形成され、ゲート構造5, 55, 85が半導体基板1上に完成する。

【0069】

そして、ゲート構造5, 55, 85及び素子分離絶縁膜2をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板1の上面内にイオン注入する。これにより、図12に示されるように、不純物領域4b, 54bが形成されるとともに、第2領域における半導体基板1の上面内にn⁺型の不純物領域84bが形成される。

【0070】

以上の図11, 12を参照して説明した工程により、第2領域における半導体基板1上に複数のゲート構造85が形成されるとともに、互いに隣り合うゲート構造85の間のウェル領域83の上面内に、不純物領域84a, 84bから成るソース・ドレイン領域84が形成され、ロジックデバイスとして機能するMOSトランジスタが完成する。

【0071】

次に図13に示されるように、図12に示す構造の上方から、無指向性スパッタ法を用いて、コバルトから成る金属材料25を全面に堆積する。上述のように、無指向性スパッタ法を用いて金属材料25を堆積した場合、ゲートアスペクト比が大きくなると、ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。本実施の形態2では、第1のゲートアスペクト比、第2のゲートアスペクト比及び第3のゲートアスペクト比はこの順で小さくなるため、図13に示されるように、ソース・ドレイン領域4上の金属材料25の厚みt_{mm}、ソース・ドレイン領域54上の金属材料25の厚みt_{mr1}及びソース・ドレイン領域84上の金属材料25の厚みt_{mr2}はこの順で大きくなる。

【0072】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料

25と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料25と、それに接触している半導体基板1及びゲート電極7, 57, 87とを互いに反応させる。そして、未反応の金属材料25を除去する。

【0073】

これにより、図14に示されるように、半導体基板1の上面が部分的にシリサイド化されて、コバルトシリサイド膜9, 59が形成されるとともに、ソース・ドレイン領域84の上面内にコバルトシリサイド膜89が形成される。同時に、ゲート電極7, 57, 87の上面がシリサイド化されて、コバルトシリサイド膜19, 69が形成されるとともに、ゲート電極87にコバルトシリサイド膜99が形成される。

【0074】

このとき、ソース・ドレイン領域4に堆積していた金属材料25の膜厚 t_{mm} 、ソース・ドレイン領域54に堆積していた金属材料25の膜厚 t_{mr1} 及びソース・ドレイン領域84に堆積していた金属材料25の膜厚 t_{mr2} は、この順で大きくなっていたため、ソース・ドレイン領域4に形成されたコバルトシリサイド膜9の膜厚 t_m 、ソース・ドレイン領域54に形成されたコバルトシリサイド膜59の膜厚 t_{r1} 及びソース・ドレイン領域84に形成されたコバルトシリサイド膜89の膜厚 t_{r2} は、この順で大きくなる。

【0075】

次に図15に示されるように、ゲート構造5, 55, 85及びコバルトシリサイド膜19, 69, 99を覆って層間絶縁膜20を全面に形成する。そして、上述のようにしてコンタクトプラグ10を形成する。

【0076】

次に、層間絶縁膜20及びコンタクトプラグ10の上に層間絶縁膜21を形成し、上述のようにしてDRAMメモリセルのキャパシタ11を層間絶縁膜21内に形成する。

【0077】

次に層間絶縁膜22を全面に形成し、CMP法によって平坦化する。これにより、キャパシタ11を覆う層間絶縁膜22が層間絶縁膜21上に形成され、絶縁

層23が完成する。

【0078】

次に、キャパシタ11と電気的に接続されていないコンタクトプラグ10を露出させるコンタクトホール（図示せず）を絶縁層23に形成するとともに、第1領域のコバルトシリサイド膜59を露出させるコンタクトホール（図示せず）と、第2領域のコバルトシリサイド膜89を露出させるコンタクトホール（図示せず）とを絶縁層23及び層間絶縁膜20に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、コンタクトプラグ15, 60が形成されるとともに、第2領域における絶縁層23及び層間絶縁膜20にコンタクトプラグ90が形成される。

【0079】

次に、メタル配線16, 66と、コンタクトプラグ90に接触するメタル配線96とを絶縁層23上に形成する。

【0080】

以上の工程により、図9に示す本実施の形態2に係る半導体装置が完成する。

【0081】

このように、本実施の形態2では、第2領域における第3のゲートアスペクト比が、第1領域における第2のゲートアスペクト比よりも小さいため、第2領域のコバルトシリサイド膜89が第1領域のコバルトシリサイド膜59よりも厚くなる。

【0082】

言い換えれば、第2のゲートアスペクト比が、第3のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜59よりも厚いコバルトシリサイド膜89を簡単に形成することができる。

【0083】

そのため、ソース・ドレイン領域84をソース・ドレイン領域54よりも低抵抗化できる。従って、動作速度が重要視される回路を、ソース・ドレイン領域84を利用して形成することによって、かかる回路の動作速度を確実に向上すること

とができる。

【0084】

一方、コバルトシリサイド膜59はコバルトシリサイド膜89よりも薄く形成されるため、ソース・ドレイン領域54とウェル領域53との間のリーク電流を、ソース・ドレイン領域84とウェル領域83との間のリーク電流よりも低減することができる。従って、動作速度があまり重要視されない回路を第1領域に形成することによって、ロジックデバイス全体のリーク電流の増加を抑えつつ、動作速度が重要視される回路を確実に高速化できる。

【0085】

また、本実施の形態2では、第1, 2のゲートアスペクト比がともに0.8よりも大きく設定されているため、上述の理由により、メモリ形成領域のコバルトシリサイド膜9と第1領域のコバルトシリサイド膜59をともに簡単に薄くできる。

【0086】

【発明の効果】

この発明に係る半導体装置によれば、メモリ形成領域における第1のシリサイド膜は、ロジック形成領域における第2のシリサイド膜よりも薄いため、第1, 3の不純物領域間のリーク電流を、第2, 4の不純物領域間のリーク電流よりも低減することができる。一方、第2のシリサイド膜は第1のシリサイド膜よりも厚いため、第4の不純物領域を第3の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第4の不純物領域の低抵抗化と、第1のシリサイド膜に電気的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【0087】

また、この発明に係る半導体装置の製造方法によれば、第1のゲートアスペクト比が第2のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、工程(e)において、第3の不純物領域上の金属材料が、第4の不純物領域上の金属材料よりも薄くなる。そのため、工程(f)において形成される、第3の不純物領域の上面内のシリサイド膜が、第4の不純物領域の上面内のシリサイド膜よりも薄くなる。その結果、第1, 3の不純物領域間のリーク

電流を、第2、4の不純物領域間のリーク電流よりも低減することができる。一方、第4の不純物領域の上面内のシリサイド膜は、第3の不純物領域の上面内のシリサイド膜よりも厚くなるため、第4の不純物領域を第3の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第4の不純物領域の低抵抗化と、第1のシリサイド膜に電気的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。

【図9】 本発明の実施の形態2に係る半導体装置の構造を示す断面図である。

【図10】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

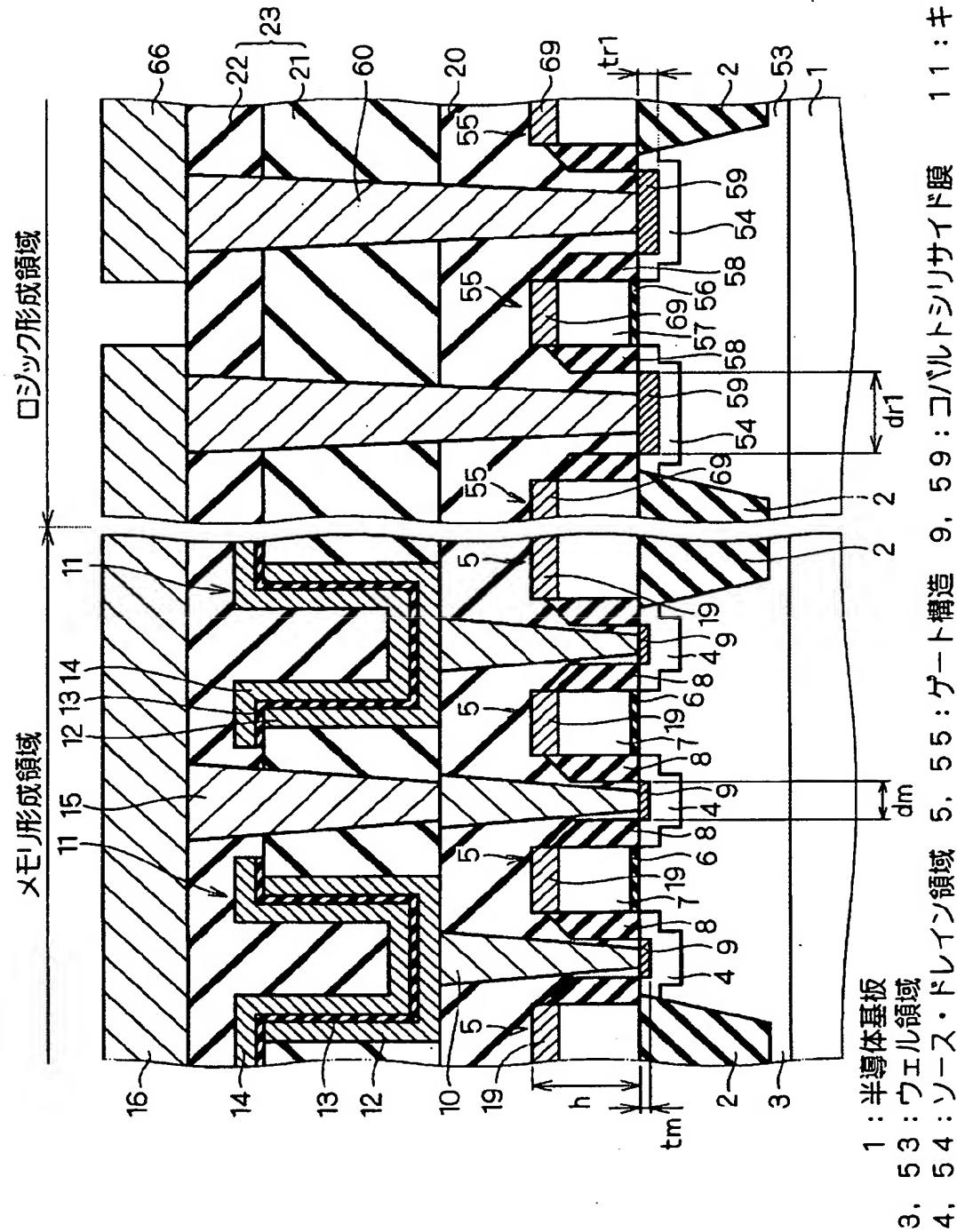
【符号の説明】

- 1 半導体基板、3, 53, 83 ウエル領域、4, 54, 84 ソース・ドレイン領域、5, 55, 85 ゲート構造、9, 59, 89 コバルトシリサイド膜、11 キャパシタ、25 金属材料。

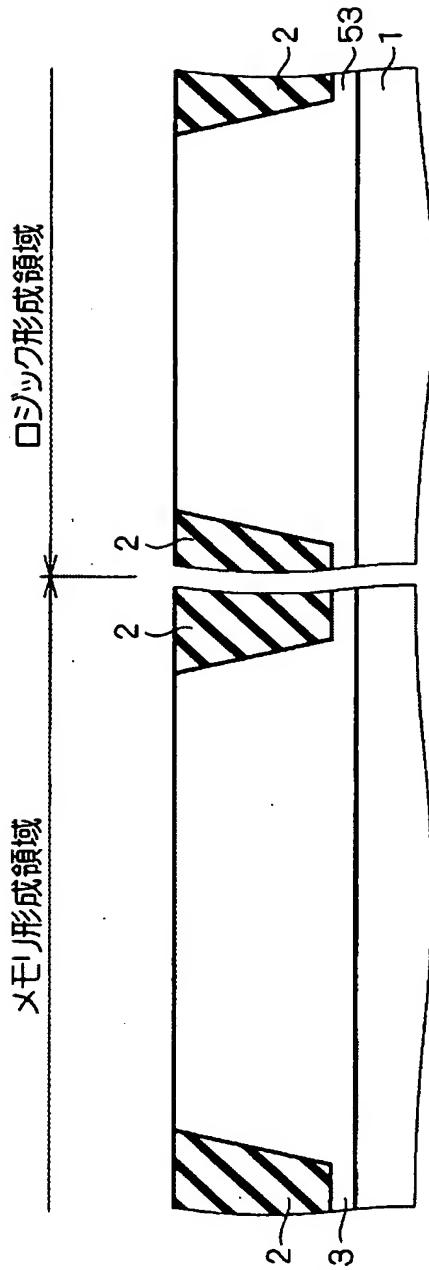
【書類名】

図面

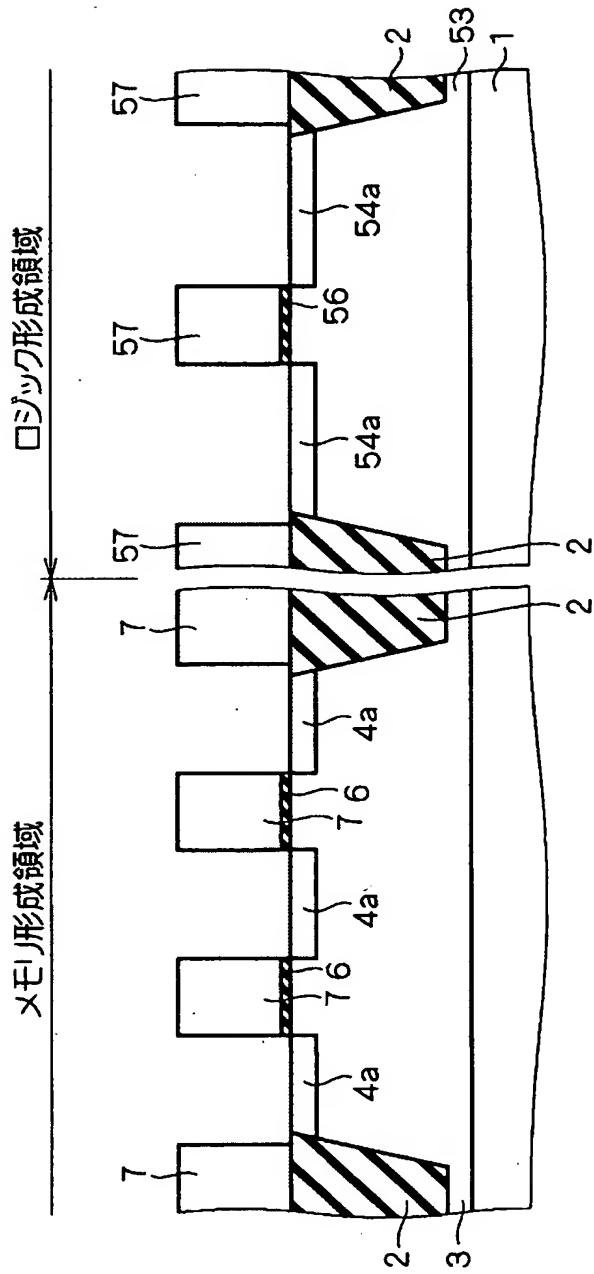
【図1】



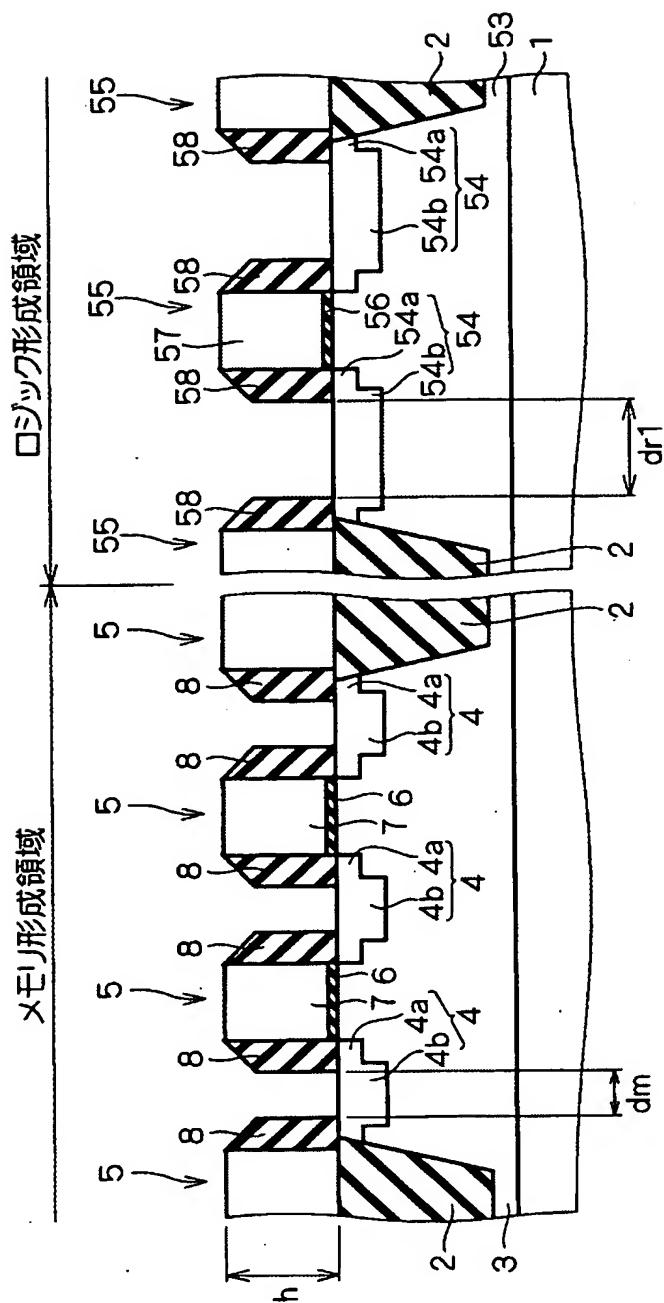
【図2】



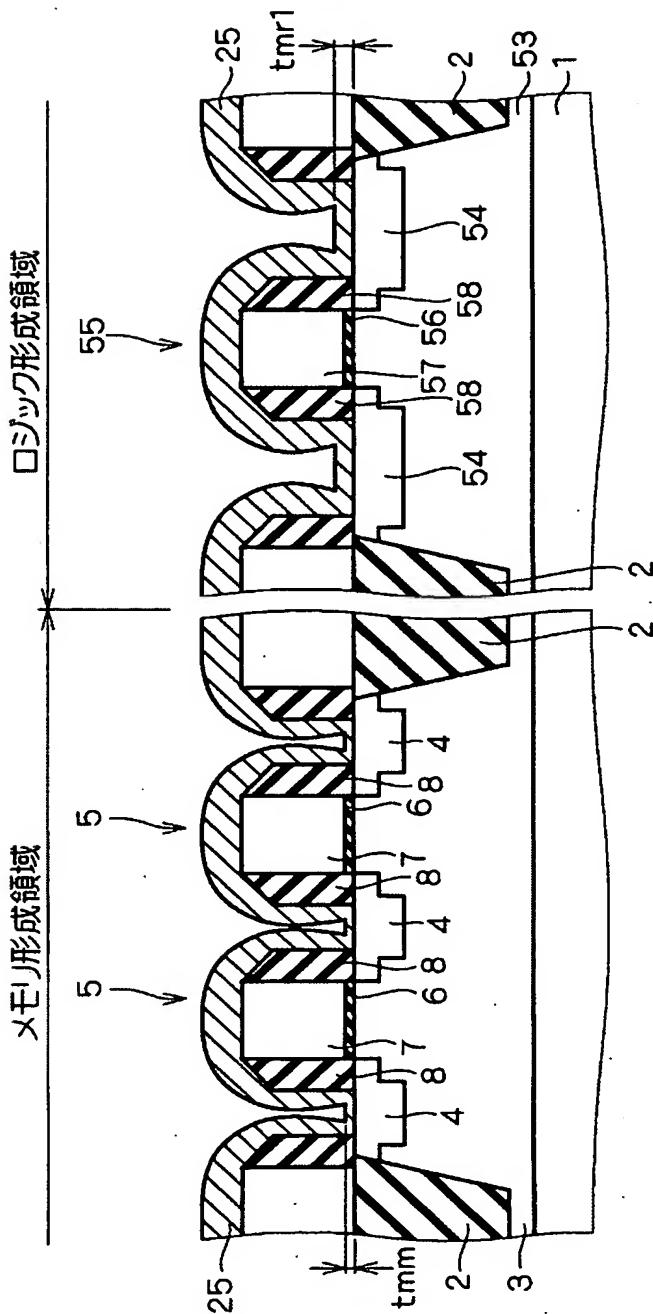
【図3】



【図4】

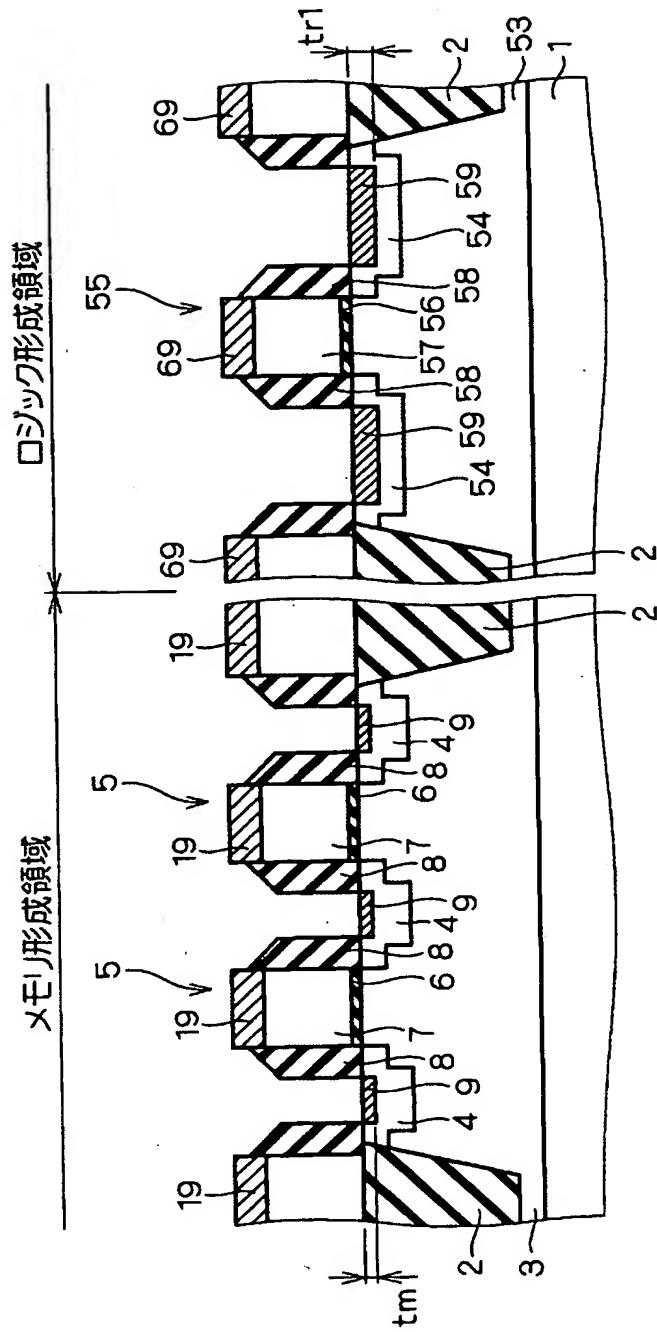


【図5】

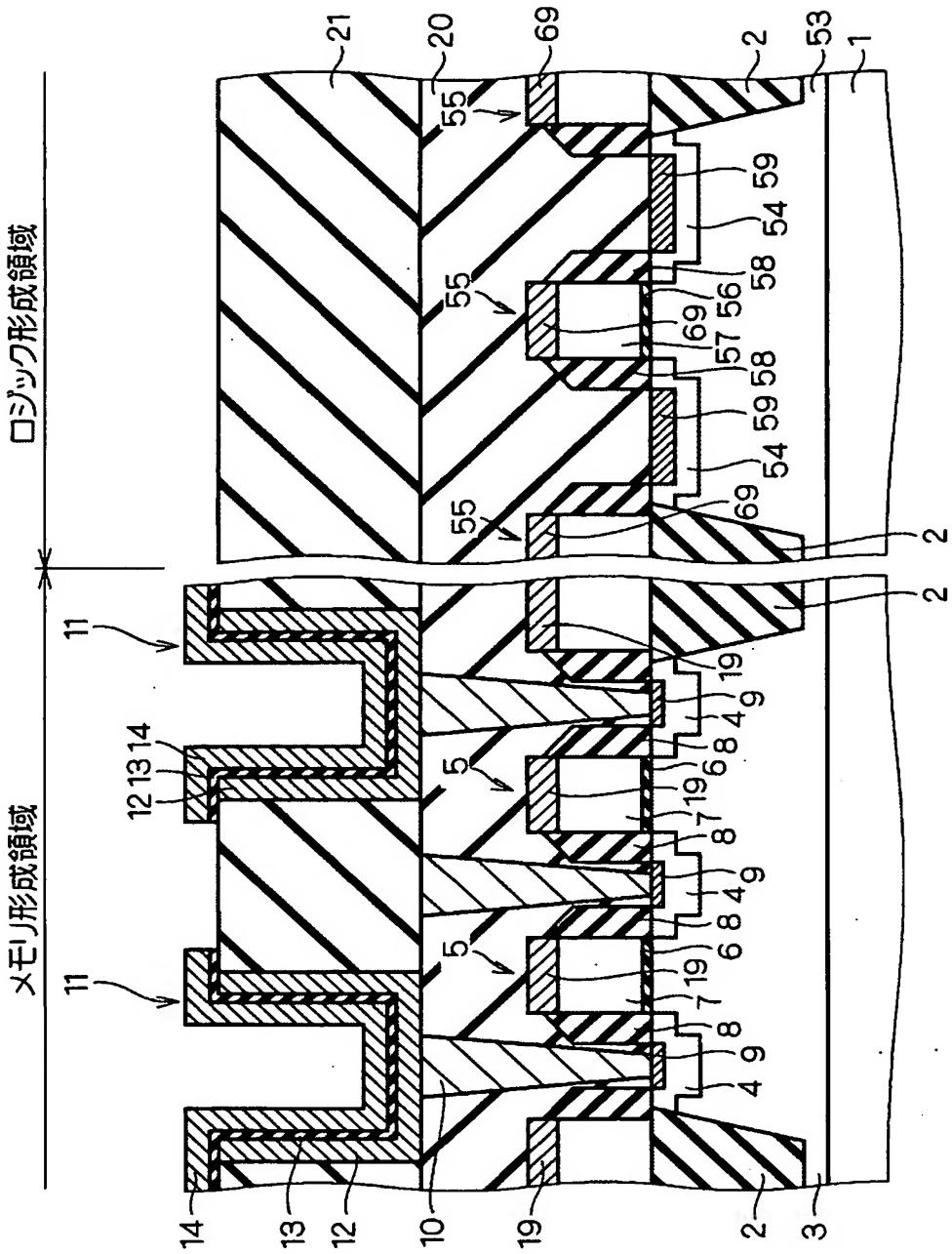


25：金屬材料

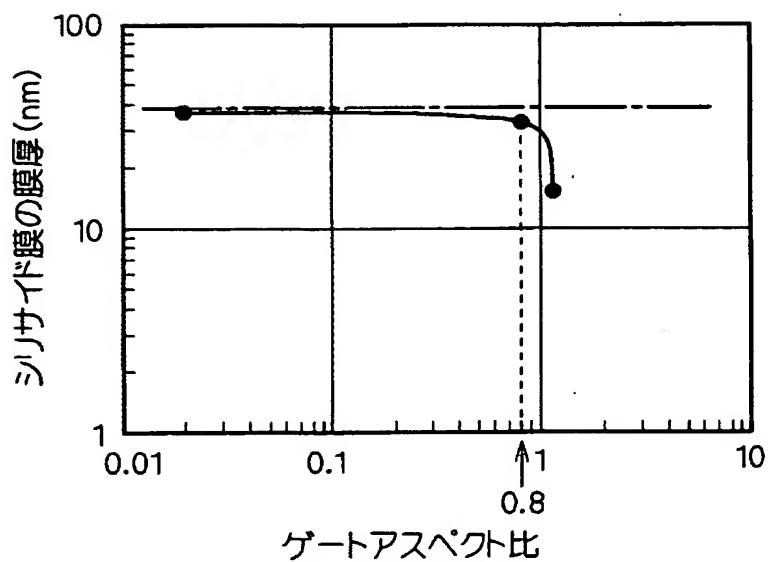
【図6】



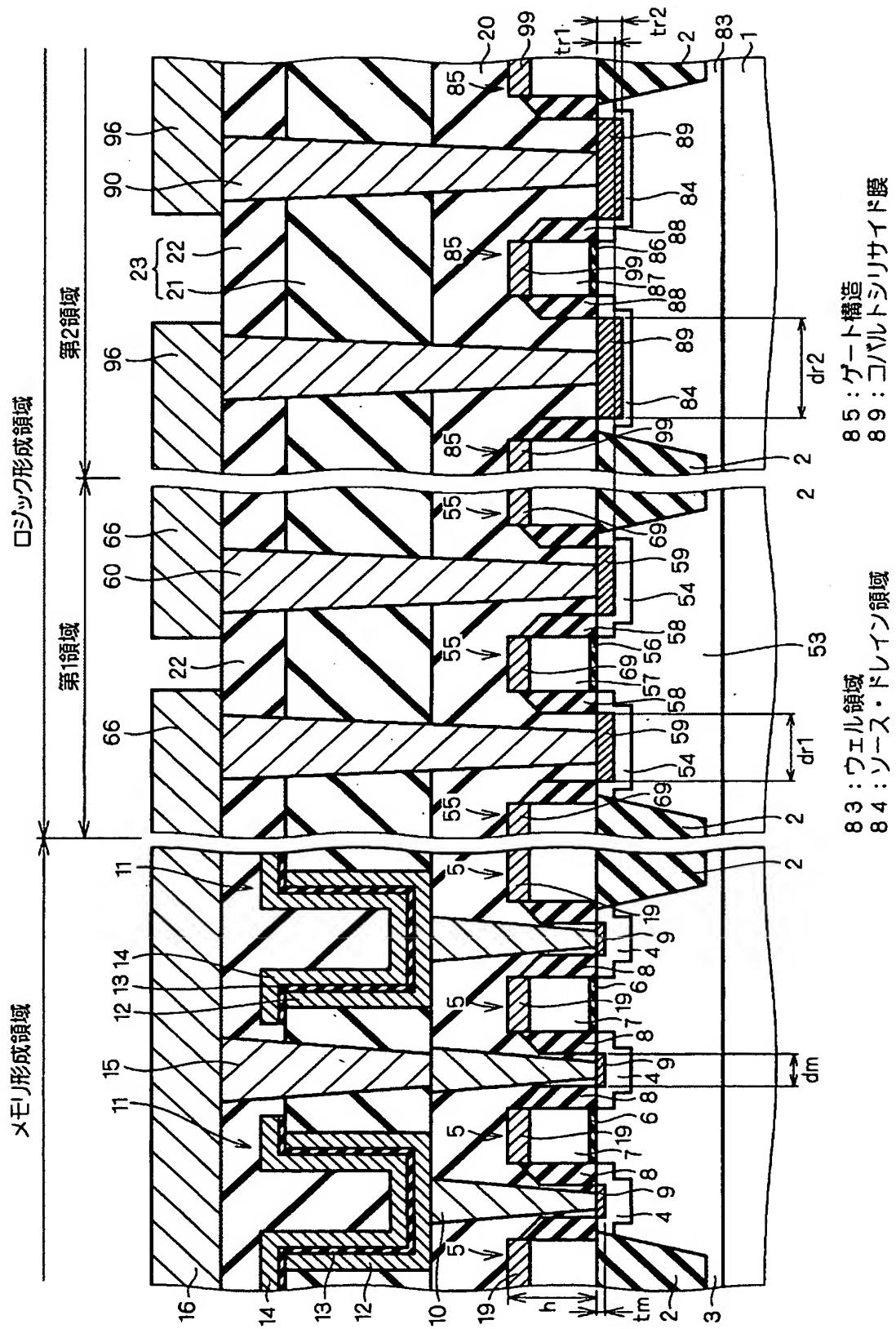
[図7]



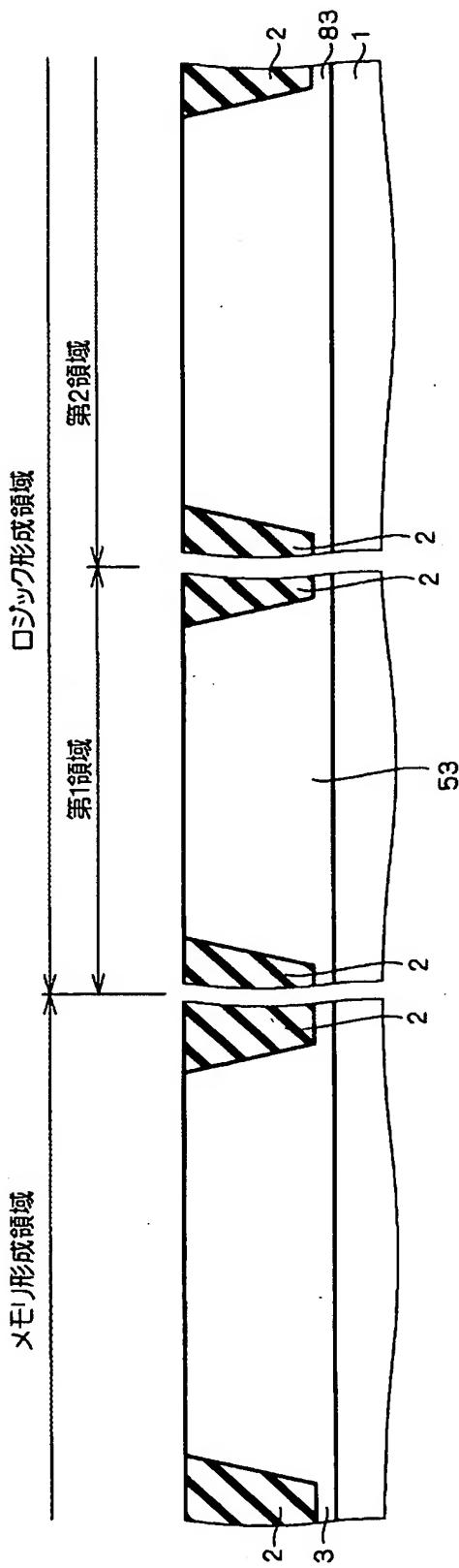
【図8】



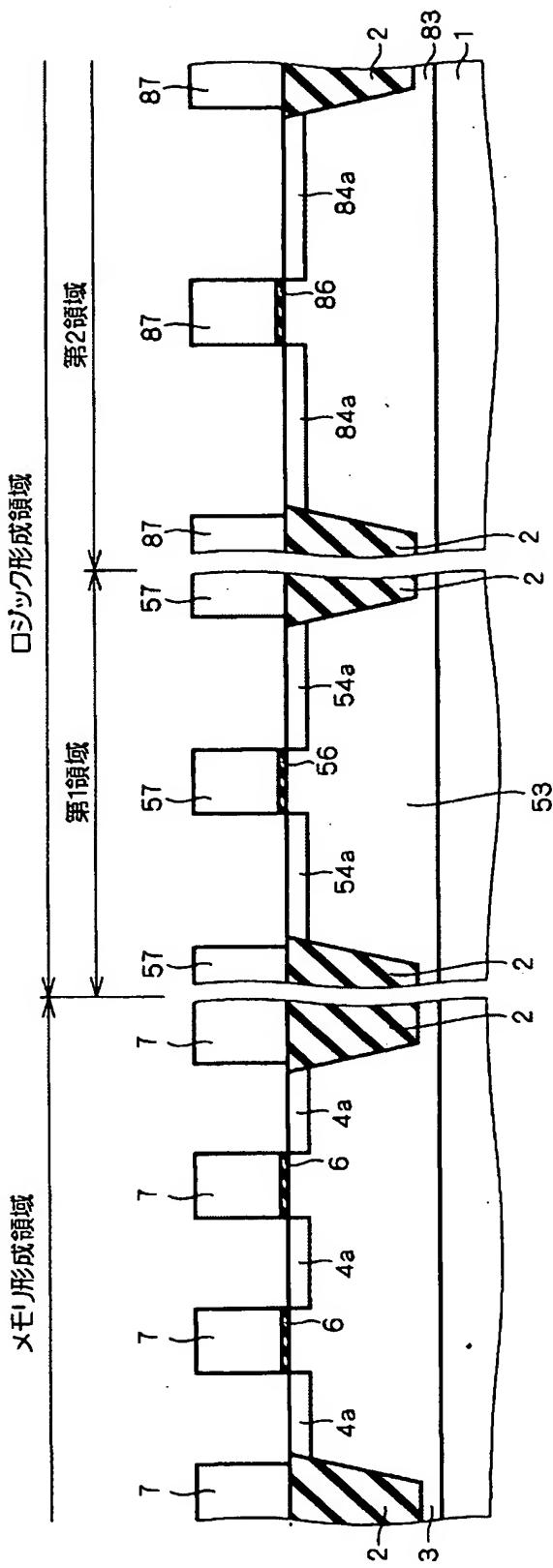
[図9]



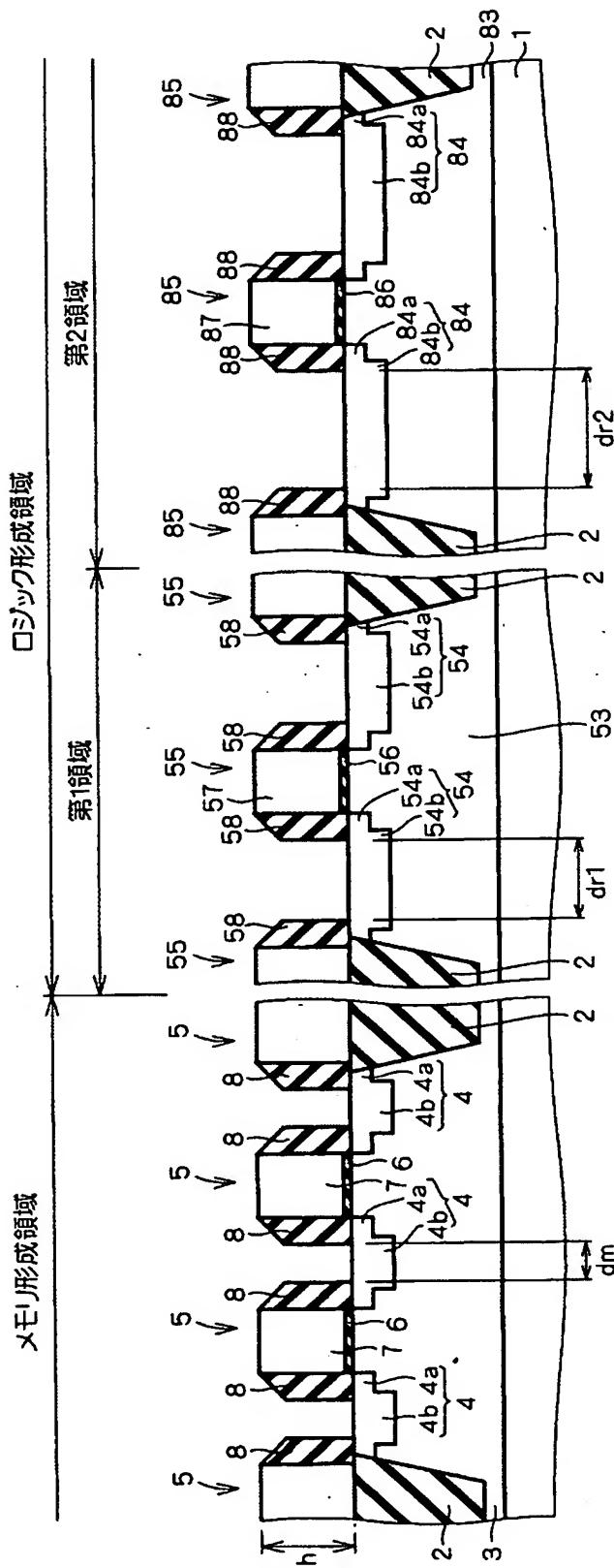
【図10】



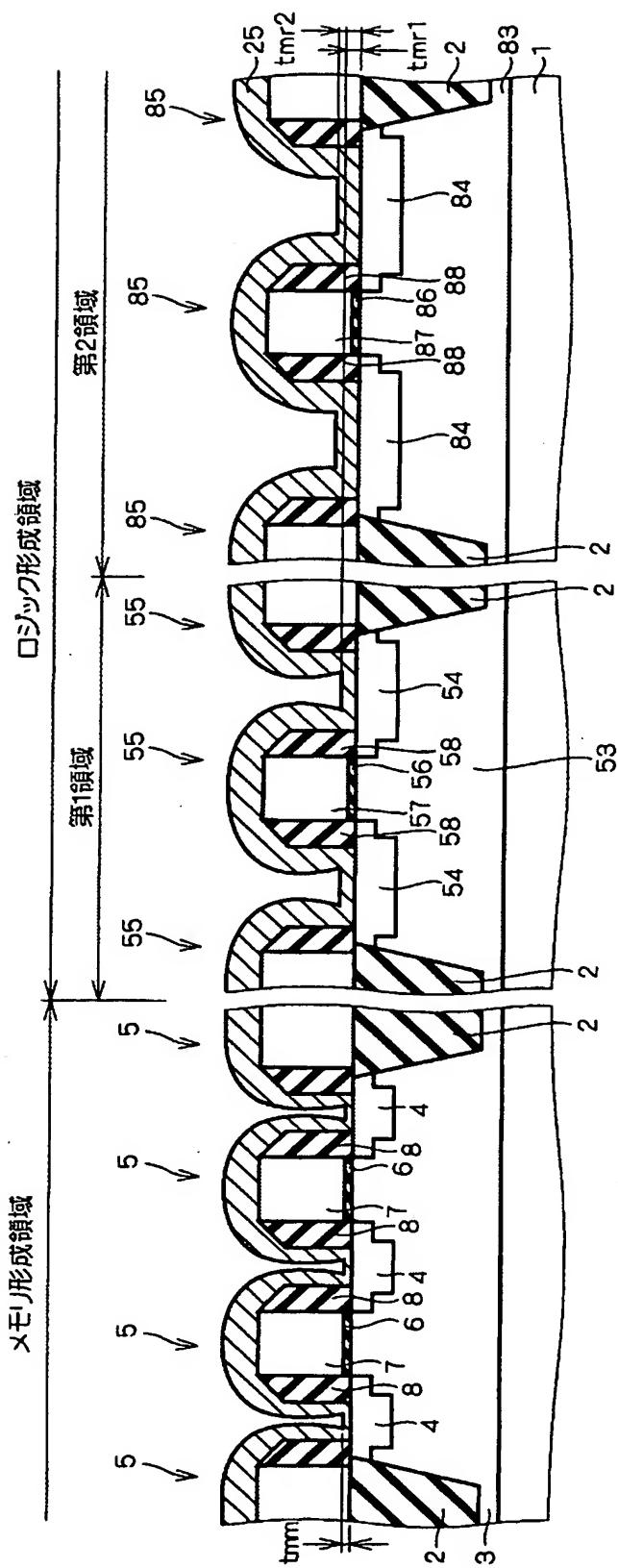
【図11】



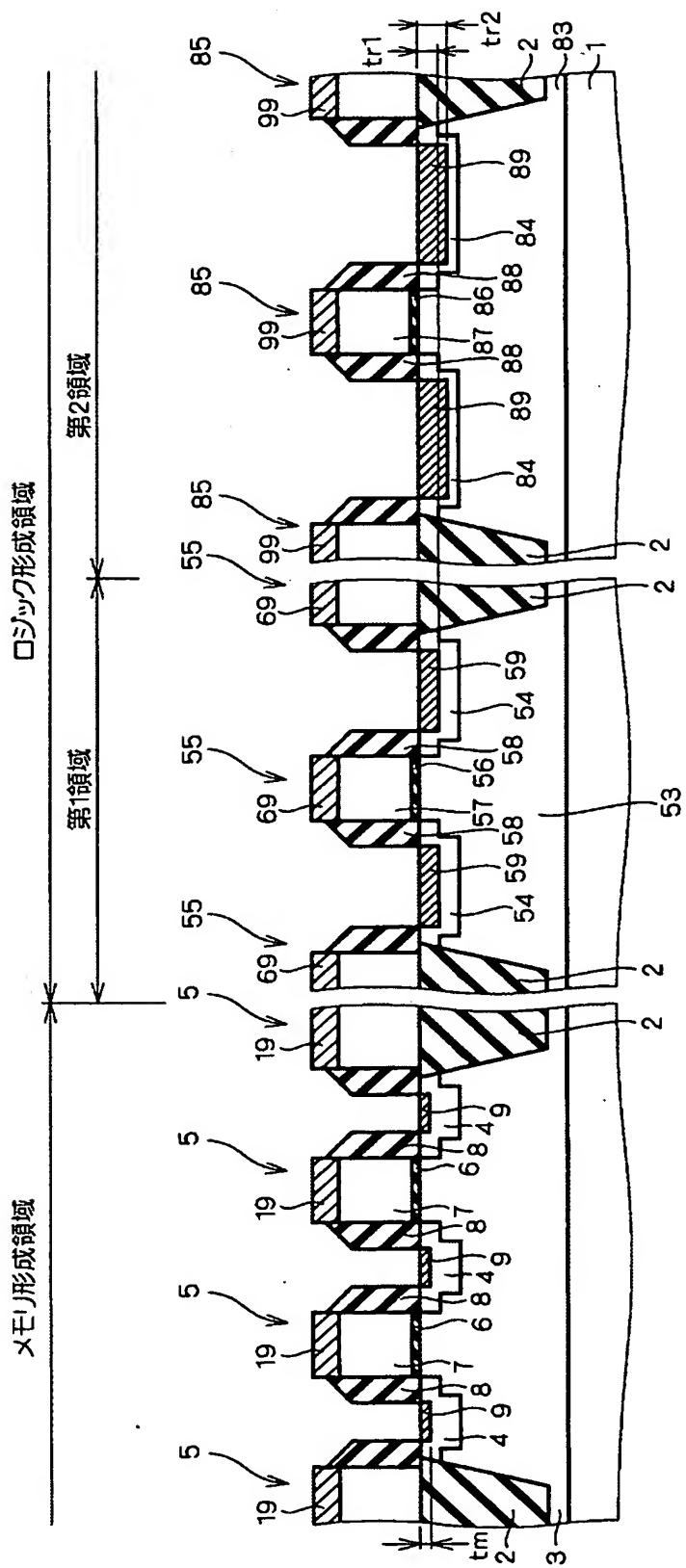
【図12】



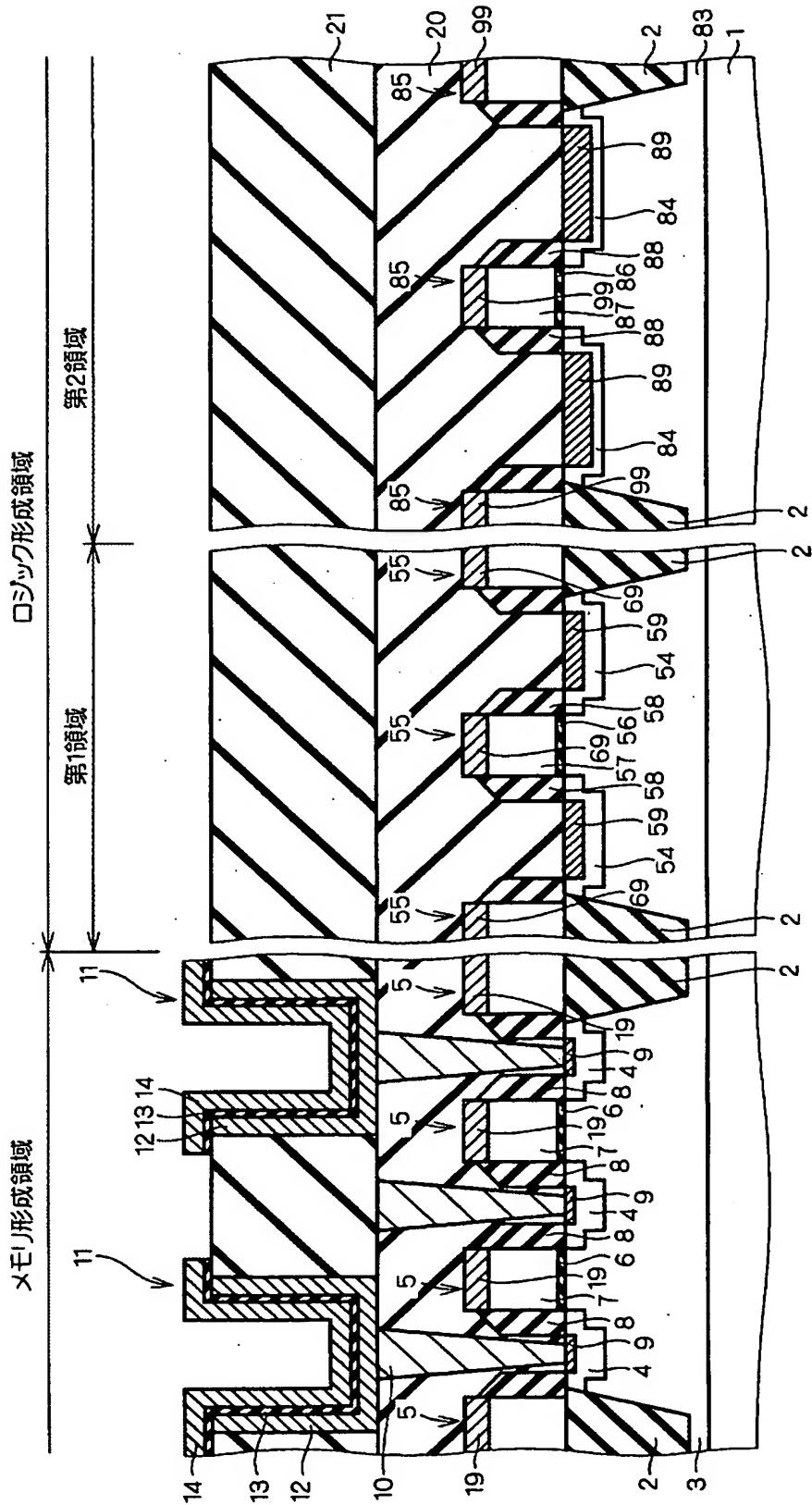
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 ロジック形成領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができ半導体技術を提供する。

【解決手段】 メモリ形成領域における半導体基板1の上面内にはソース・ドレイン領域4が形成されており、そのソース・ドレイン領域4の上面内にはコバルトシリサイド膜9が形成されている。また、ロジック形成領域における半導体基板1の上面内にはソース・ドレイン領域54が形成されており、そのソース・ドレイン領域54の上面内にはコバルトシリサイド膜59が形成されている。そして、ロジック形成領域におけるコバルトシリサイド膜59は、メモリ形成領域におけるコバルトシリサイド膜9よりも厚く形成されている。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社